

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-13610

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/784

識別記号

庁内整理番号

9056-4M

F I

H 0 1 L 29/ 78

技術表示箇所

3 1 1 G

審査請求 未請求 請求項の数4(全 7 頁)

(21)出願番号 特願平5-103515

(22)出願日 平成5年(1993)4月5日

(31)優先権主張番号 特願平4-113027

(32)優先日 平4(1992)4月6日

(33)優先権主張国 日本(JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

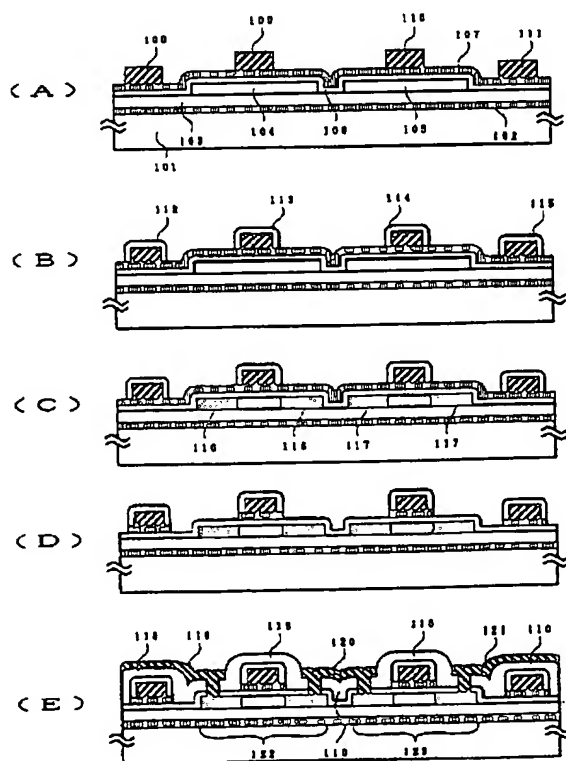
導体エネルギー研究所内

(54)【発明の名称】 絶縁ゲイト型半導体装置とその作製方法

(57)【要約】

【目的】 陽極酸化膜で覆われた金属ゲイトを有する薄膜絶縁ゲイト型電界効果トランジスタを安定して形成し、また、チャネルへの可動イオンの侵入を防止するための方法とそれに適した薄膜絶縁ゲイト型電界効果トランジスタを提供することを目的とする。

【構成】 ゲイト電極の表面が陽極酸化された金属ゲイトを有する薄膜絶縁ゲイト型電界効果トランジスタにおいて、ゲイト電極と半導体層(チャネル領域)の間に窒化珪素膜、酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、またはそれらの多層膜が挟まれた構造を有せしめることによって、チャネルへの可動イオンの侵入を防止し、さらに、陽極酸化の際に、ゲイト電極とチャネル領域の電位差によってゲイト絶縁膜が破壊されることを防止する。



## 1

## 【特許請求の範囲】

【請求項 1】 絶縁基板上に少なくとも半導体層、絶縁膜層およびアルミニウム、クロム、チタン、タンタル、シリコンのいずれか、あるいはそれらの合金またはそれらの多層からなるゲイト電極を有する絶縁ゲイト型電界効果トランジスタにおいて、絶縁膜層は、酸化アルミニウム単層、酸化珪素単層、窒化珪素単層、窒化アルミニウム単層、酸化アルミニウム層と窒化珪素層の 2 層、酸化アルミニウム層と酸化珪素層の 2 層、窒化珪素層と酸化珪素層の 2 層、または酸化アルミニウム層と酸化珪素層と窒化珪素層の 3 層からなることを特徴とする絶縁ゲイト型半導体装置。

【請求項 2】 請求項 1 において、前記ゲイト電極は珪素が 0.5～3% 添加されたアルミニウム層からなることを特徴とする絶縁ゲイト型半導体装置。

【請求項 3】 絶縁基板上に半導体領域を形成する工程と、前記半導体領域上に、酸化アルミニウム単層、酸化珪素単層、窒化珪素単層、窒化アルミニウム単層、酸化アルミニウム層と窒化珪素層の 2 層、酸化アルミニウム層と酸化珪素層の 2 層、窒化珪素層と酸化珪素層の 2 層、または酸化アルミニウム層と酸化珪素層と窒化珪素層の 3 層からなる絶縁膜層を形成する工程と、前記絶縁膜層上にアルミニウム、クロム、チタン、タンタル、シリコンのいずれか、あるいはそれらの合金またはそれらの多層を主体とする金属被膜を形成する工程と、前記金属被膜に、電解溶液中で電流を通じて、その表面に酸化物層を形成する工程とを有することを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項 4】 請求項 3 において、前記金属被膜は珪素が 0.5～3% 添加されたアルミニウム層からなることを特徴とする絶縁ゲイト型半導体装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、絶縁ゲイト型半導体装置、特に薄膜状の絶縁ゲイト型電界効果トランジスタ (TFT) の構造およびその作製方法に関するものである。

## 【0002】

【従来の技術】 近年、薄膜状絶縁ゲイト型電界効果トランジスタ (TFT) が盛んに研究されている。例えば、本発明人等の発明である特願平 4-30220 や同 4-38637 には、ゲイト電極として、アルミニウムやチタン、クロム、タンタル、シリコンを使用し、その周囲を陽極酸化法によって形成した酸化アルミニウムで覆い、よって、ソース/ドレインとゲイト電極の重なりを無くし、むしろオフセット状態とし、また、ソース/ドレイン領域をレーザーアニールによって再結晶化せしめる作製方法および TFT が記述されている。

【0003】 このような TFT は、従来のオフセットを有しないシリコンゲイト TFT やタンタルやクロムのよ

## 2

うな高融点金属をゲイト電極とし、熱アニールによって活性化した TFT に比較して優れた特性を示した。しかしながら、その特性を再現性よく得ることは困難であった。

【0004】 原因の 1 つは、外部からのナトリウム等の可動イオンの侵入によるものであった。特にアルミニウム等の金属材料からなるゲイト電極の形成 (スパッタ法や電子ビーム蒸着法が使用される) やその後の陽極酸化の際に、外部からナトリウムが侵入する危険があったためである。特にスパッタ法では、ナトリウムの汚染が大きかった。しかしながら、スパッタ法は電子ビーム蒸着法よりも量産性に優れた方法であるので、コスト削減のためにはぜひとも使用することが望まれた方法であった。

【0005】 ナトリウムは、リングラス等によってブロッキングされ、また、ゲッターリングされることが知られていた。したがって、ゲイト絶縁膜をリングラスで形成することが一般にはおこなわれていた。しかしながら、リングラスを上記の特許の目的とする低温で作製することは困難であった。また、リングラスをこのような低温で作製しようとすれば、酸化珪素のゲイト絶縁膜に、例えばイオンドーピング法によって注入すると、ゲイト絶縁膜中に多くの欠陥が生じ、かえって、TFT の特性を劣化させてしまうことがあった。

【0006】 さらに、陽極酸化は 100～300V もの高電圧を必要とし、ゲイト絶縁膜の破壊が懸念される。すなわち、上記特許に示された技術範囲では、半導体被膜の上にゲイト絶縁膜が形成され、その上にゲイト電極が存在するのであるが、陽極酸化時には、正に帯電したゲイト電極と浮遊状態の半導体被膜の間に電圧が生じ、ゲイト電極上の陽極酸化膜が厚くなって、ゲイト電極と電解溶液間の抵抗が大きくなるにつれ、ゲイト電極からゲイト絶縁膜、半導体被膜を介して電解溶液に流れる電流が増加する。そして、この電流のためにゲイト電極が破壊されてしまうことがある。

## 【0007】

【発明が解決しようとする課題】 本発明は、このような現状を鑑みてなされたものである。すなわち、本発明は外部からの可動イオンの侵入を防ぎ、さらに、ゲイト絶縁膜の破壊を防止して、信頼性を向上させることを課題とする。

## 【0008】

【問題を解決するための手段】 本発明の絶縁ゲイト型半導体装置は、絶縁基板上に少なくとも半導体層、絶縁膜層およびアルミニウム、クロム、チタン、タンタル、シリコンのいずれか、あるいはそれらの合金またはそれらの多層からなるゲイト電極を有し、絶縁膜層は、酸化アルミニウム単層、酸化珪素単層、窒化珪素単層、窒化アルミニウム単層、酸化アルミニウム層と窒化珪素層の 2 層、窒化珪素層と酸化珪素層の 2 層、窒化珪素層と酸化珪素層の 2 層、または酸化アルミニウム層と酸化珪素層と窒化珪素層の 3 層からなることを特徴とする絶縁ゲイト型半導体装置の作製方法。

## 3

層と酸化珪素層の 2 層、または酸化アルミニウム層と酸化珪素層と窒化珪素層の 3 層からなる。例えば、アルミニウムゲート電極とゲート絶縁膜の間に窒化珪素膜を介在させるものである。窒化珪素の組成はシリコンを 1 としたとき、窒素の比率は 1 から 4/3、より好ましくは 1.2 から 4/3 の間が望ましい。もちろん、窒素とシリコン以外に水素や酸素が添加されていてもよい。

【0009】この窒化珪素被膜は、ナトリウム等の可動イオンをブロッキングする効果があるので、ゲート電極その他からチャンネル領域に可動イオンが侵入することを防止する効果を有するだけでなく、通常のゲート絶縁膜である酸化珪素に比べて、導電性がよいのでゲート電極と、その下の半導体領域（チャンネル領域）との間に過剰な電圧がかからず、ゲート絶縁膜の破壊が防げるという特徴をも有する。

【0010】したがって、半導体領域とゲート絶縁膜を形成し、その後、前記窒化珪素膜を形成し、しかる後にゲート電極を形成するためのアルミニウム電極を形成する。アルミニウム電極を陽極酸化している間には、この窒化珪素膜は、基板全面にわたって、一体として存在していると、基板全面にわたって、陽極電位がほぼ一定に保たれるので望ましい。また、本発明の絶縁ゲート型半導体装置の作製方法は、絶縁基板上に半導体領域を形成する工程と、前記半導体領域上に、酸化アルミニウム単層、酸化珪素単層、窒化珪素単層、窒化アルミニウム単層、酸化アルミニウム層と窒化珪素層の 2 層、酸化アルミニウム層と酸化珪素層の 2 層、窒化珪素層と酸化珪素層の 2 層、または酸化アルミニウム層と酸化珪素層と窒化珪素層の 3 層からなる絶縁膜層を形成する工程と、前記絶縁膜層上にアルミニウム、クロム、チタン、タンタル、シリコンのいずれか、あるいはそれらの合金またはそれらの多層を主体とする金属被膜を形成する工程と、前記金属被膜に、電解溶液中で電流を通じて、その表面に酸化層を形成する工程とを有することを特徴とする。本発明の絶縁ゲート型半導体装置およびその作製方法において、前記ゲート電極（前記金属被膜）が珪素とアルミニウムの合金からなるときは、前記ゲート電極（前記金属被膜）は珪素が 0.5～3% 添加されたアルミニウム層からなる。以下に実施例を示し、より詳細に本発明を説明する。

## 【0011】

【実施例】〔実施例 1〕図 1 には本実施例の作製工程断面図を示す。なお、本実施例の詳細な条件は、本発明人らの出願した特願平 4-30220、あるいは同 4-38637 とほとんど同じであるので、特別には詳述しない。まず、基板 101 として日本電気硝子社製の N-0 ガラスを使用した。このガラスは歪温度が高いけれども、リチウムが多く含まれ、また、ナトリウムもかなりの量が存在する。そこで、基板からのこれら可動イオンの侵入を阻止する目的で、プラズマ CVD 法もしくは減

## 4

圧 CVD 法で窒化珪素膜 102 を厚さ 10～50 nm だけ形成する。さらに、下地の酸化珪素皮膜 103 を厚さ 100～800 nm だけ、スパッタ法によって形成した。その上にアモルファスシリコン被膜をプラズマ CVD 法によって 20～100 nm だけ形成し、600℃で 12～72 時間、窒素雰囲気中でアニールし、結晶化させた。さらに、これをフォトリソグラフィ法と反応性イオンエッチング（RIE）法によってパターニングして、図 1（A）に示すように島状の半導体領域 104（N チャンネル TFT 用）と 105（P チャンネル TFT 用）とを形成した。

【0012】さらに、酸化珪素をターゲットとする酸素雰囲気中でのスパッタ法によって、ゲート酸化膜 106 を厚さ 50～200 nm だけ堆積した。さらに、窒化珪素膜 107 をプラズマ CVD 法もしくは減圧 CVD 法によって、厚さ 2～20 nm、好ましくは 8～11 nm だけ堆積した。

【0013】次に、スパッタリング法もしくは電子ビーム蒸着法によってアルミニウム被膜を形成して、これを混酸（5% の硝酸を添加した磷酸溶液）によってパターニングし、ゲート電極・配線 108～111 を形成した。このようにして、TFT の外形を整えた。

【0014】さらに、電解溶液中でゲート電極・配線 108～111 に電流を通じ、陽極酸化法によって、酸化アルミニウム膜 112～115 を形成した。陽極酸化の条件としては、本発明人等の発明である特願平 4-30220 に記述された方法を採用した。ここまでの様子を図 1（B）に示す。

【0015】次に、公知のイオン注入法によって、半導体領域 104 には N 型の不純物を、半導体領域 105 には P 型の不純物を注入し、N 型不純物領域（ソース、ドレイン）116 と P 型不純物領域 117 を形成した。この工程は公知の CMOS 技術を使用した。さらに、反応性イオンエッチング法によってゲート電極・配線部の下に存在するもの以外の窒化珪素 107 を除去した。この工程はウェットエッチングによっても代用できる。その際には、陽極酸化膜である酸化アルミニウムと窒化珪素のエッチングレートの違いを利用して、酸化アルミニウムをマスクとしてセルフアライン的にエッチングできる。

【0016】このようにして、図 1（D）に示されるような構造が得られた。なお、当然のことながら、先のイオン注入によって不純物の注入された部分の結晶性は著しく劣化し、実質的に非結晶状態（アモルファス状態、あるいはそれに近い多結晶状態）になっている。そこで、レーザーアニールによって結晶性を回復させた。この工程は、600～850℃の熱アニールによってもよい。レーザーアニールの条件は、例えば、特願平 4-30220 に記述されたものを使用した。レーザーアニール後は、250～450℃の水素雰囲気（1～700 t

## 5

orr、このましくは500～700 torr)で30分～3時間、アニールをおこない、半導体領域に水素を添加し、格子欠陥(ダングリングボンド等)を減らした。

【0017】このようにして、素子の形状を整えた。その後は、通常のように、酸化珪素のスパッタ成膜によって層間絶縁物118を形成し、公知のフォトリソグラフィ技術によって電極用孔を形成して、半導体領域あるいはゲイト電極・配線の表面を露出させ、最後に、第2の金属被膜(アルミニウムあるいはクロム)を選択的に形成して、これを電極・配線119～121とした。ここで、第1の金属配線108、111上を第2の金属配線119、121が横断する。以上のようにして、NTFT122とPTFT123を形成できた。

【0018】〔実施例2〕図2には本実施例の作製工程断面図を示す。なお、本実施例の詳細な条件は、本発明人らの出願した特願平4-30220とほとんど同じであるので、特別には詳述しない。まず、基板201として日本電気硝子社製のN-Oガラスを使用し、プラズマCVD法もしくは減圧CVD法で酸化珪素膜202を厚さ10～50nmだけ形成した。さらに、下地の酸化珪素皮膜203を厚さ100～800nmだけ、スパッタ法によって形成した。その上にアモルファスシリコン被膜をプラズマCVD法によって20～100nmだけ形成し、600℃で12～72時間、窒素雰囲気中でアニールし、結晶化させた。さらに、これをパターニングして、図2(A)に示すように島状の半導体領域204(NチャネルTFT用)と205(PチャネルTFT用)とを形成した。

【0019】さらに、スパッタ法によって、ゲイト酸化膜206を厚さ50～200nmだけ堆積した。さらに、酸化珪素膜207をプラズマCVD法もしくは減圧CVD法によって、厚さ2～20nm、好ましくは8～11nmだけ堆積した。

【0020】次に、スパッタリング法もしくは電子ビーム蒸着法によってアルミニウム被膜を形成して、これをパターニングし、ゲイト電極・配線208～211を形成した。このようにして、図2(A)のようにTFTの外形を整えた。

【0021】さらに、電解溶液中でゲイト電極・配線208～211に電流を通じ、陽極酸化法によって、酸化アルミニウム膜212～215を形成した。陽極酸化の条件としては、本発明人等の発明である特願平3-30220に記述された方法を採用した。ここまでの様子を図2(B)に示す。

【0022】次に、図2(C)に示すように、反応性イオンエッチング法によってゲイト電極・配線部の下に存在するもの以外の酸化珪素207および酸化珪素206を除去し、半導体領域204、205を露出させた。この工程はウェットエッチングによっても代用できる。そ

## 6

の際には、陽極酸化膜である酸化アルミニウムと酸化珪素、酸化珪素のエッチングレイトの違いを利用して、酸化アルミニウムをマスクとしてセルフアライン的にエッチングできる。さらに、本発明人等の発明であるレーザードーピング技術(特願平3-283981)によって、半導体領域204にはN型の不純物を、半導体領域205にはP型の不純物をドーピングし、N型不純物領域(ソース、ドレイン)216とP型不純物領域217を形成した。この工程は特願平3-283981に記述されるようなCMOS技術を使用した。

【0023】このようにして、図2(D)に示されるような構造が得られた。なお、レーザードーピング法では、不純物の注入とアニールが同時におこなわれるため、実施例1のようなレーザーアニールや熱アニールの工程は不要である。レーザードーピング後は、250～450℃の水素雰囲気(1～700 torr、このましくは500～700 torr)で30分～3時間、アニールをおこない、半導体領域に水素を添加し、格子欠陥(ダングリングボンド等)を減らした。

【0024】このようにして、素子の形状を整えた。その後は、通常のように、酸化珪素のスパッタ成膜によって層間絶縁物218を形成し、公知のフォトリソグラフィ技術によって電極用孔を形成して、半導体領域あるいはゲイト電極・配線の表面を露出させ、最後に、第2の金属被膜(アルミニウムあるいはクロム)を選択的に形成して、これを電極・配線219～221とした。以上のようにして、NTFT222とPTFT223を形成できた。

【0025】〔実施例3〕図3には本実施例の作製工程断面図を示す。なお、本実施例の詳細な条件は、本発明人らの出願した特願平4-30220とほとんど同じであるので、特別には詳述しない。まず、基板301として日本電気硝子社製のN-Oガラスを使用し、プラズマCVD法もしくは減圧CVD法で酸化珪素膜302を厚さ10～50nmだけ形成した。さらに、下地の酸化珪素皮膜303を厚さ100～800nmだけ、スパッタ法によって形成した。その上にアモルファスシリコン被膜をプラズマCVD法によって20～100nmだけ形成し、600℃で12～72時間、窒素雰囲気中でアニールし、結晶化させた。さらに、これをパターニングして、図3(A)に示すように島状の半導体領域304(NチャネルTFT用)と305(PチャネルTFT用)とを形成した。

【0026】さらに、スパッタ法によって、ゲイト酸化膜306を厚さ50～200nmだけ堆積した。さらに、酸化珪素膜307をプラズマCVD法もしくは減圧CVD法によって、厚さ2～20nm、好ましくは8～11nmだけ堆積した。

【0027】次に、スパッタリング法もしくは電子ビーム蒸着法によってアルミニウム被膜を形成して、これを

7

パターンニングし、ゲイト電極・配線 308~311 を形成した。このようにして、図 3 (A) のように TFT の外形を整えた。

【0028】さらに、電解溶液中でゲイト電極・配線 308~311 に電流を通じ、陽極酸化法によって、酸化アルミニウム膜 312~315 を形成した。陽極酸化の条件としては、本発明人等の発明である特願平 4-30220 に記述された方法を採用した。ここまでの様子を図 3 (B) に示す。

【0029】次に、公知のプラズマイオンドーピング法によって、半導体領域 304 には N 型の不純物を、半導体領域 305 には P 型の不純物を注入し、N 型不純物領域 (ソース、ドレイン) 316 と P 型不純物領域 317 を形成した。この工程は公知の CMOS 技術を使用した。プラズマからは、不純物元素以外に、ガスソースの希釈剤として用いられている水素もイオン化し、半導体領域中に注入された。この工程は公知のイオン注入法によってもおこなえるが、後で示す理由から水素イオンも別に注入することが求められる。

【0030】このようにして、図 3 (D) に示されるような構造が得られた。なお、当然のことながら、先のイオン注入によって不純物の注入された部分の結晶性は著しく劣化し、実質的に非結晶状態 (アモルファス状態、あるいはそれに近い多結晶状態) になっている。そこで、レーザーアニールによって結晶性を回復させた。この工程は、600~850℃ の熱アニールによってもよい。レーザーアニールの条件は、例えば、特願平 4-30220 に記述されたものを使用した。ただし、窒化珪素膜 307 は、波長 250 nm 以下の短波長紫外線を透過しないので、XeCl レーザー (波長 308 nm) や XeF レーザー (波長 351 nm) を使用した。

【0031】レーザーアニール後は、250~450℃ の水素雰囲気 (1~700 torr、このましくは 500~700 torr) で 30 分~3 時間、アニールをおこない、半導体中の格子欠陥 (ダングリングボンド等) を減らした。実際には、窒化珪素膜 307 が存在する為に、半導体領域の内と外では水素のやりとりはほとんどない。したがって、例えば、プラズマドーピング法では、水素原子も多量に半導体領域中に注入されるけれども、イオン注入法では、別に水素イオン注入の工程を必要とする。また、プラズマドーピング法でも、水素の量が不十分であれば、別に水素をドーピングしなければならない。

【0032】このようにして、素子の形状を整えた。その後は、通常のように、酸化珪素のスパッタ成膜によって層間絶縁物 318 を形成し、公知のフォトリソグラフィ技術によって電極用孔を形成して、半導体領域あるいはゲイト電極・配線の表面を露出させ、最後に、第 2 の金属被膜 (アルミニウムあるいはクロム) を選択的に形成して、これを電極・配線 319~321 とした。以

8

上のようにして、NTFT 322 と PTFT 323 を形成できた。

【0033】〔実施例 4〕本発明人らの発明であり、平成 4 年 2 月 25 日出願の『薄膜状絶縁ゲイト型半導体装置およびその作製方法』(出願人、株式会社半導体エネルギー研究所、整理番号 P002042-01 乃至 P002044-03、以上 3 件) に記述される 2 層のチャネルを有する TFT に関して、本発明を適用した例を図 2 に示す。

【0034】すなわち、図 4、図 5、図 6 において、401、501、601 は N チャネル TFT、402、402 は P チャネル TFT であり、その各図においてチャネル領域の第 1 の層 408、410、508、510、508、510 はいずれも実質的にアモルファスシリコンからなっている。その厚さは 20~200 nm であった。

【0035】また、407、409、507、509、607、609 は実質的に多結晶もしくはセミアモルファス状態のシリコンで、その厚さは 20~200 nm である。さらに、404、406、504、506、604、606 は酸化珪素からできたゲイト絶縁膜であり、厚さは 50~300 nm である。そして、403、405、503、505、603、605 は実施例 1~3 と同じように形成された厚さ 2~20 nm の窒化珪素膜である。これらの構造については、上記の特許出願あるいは実施例 1 の記述に基づいて作製された。

【0036】

【発明の効果】以上のように、ゲイト電極と半導体層 (チャネル領域) の間に窒化珪素膜、酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、またはそれらの多層膜を形成することによって、可動イオンの侵入を防止し、また、ゲイト電極の陽極酸化時のゲイト絶縁膜の破壊を防止することができた。

【図面の簡単な説明】

【図 1】本発明による半導体装置の作製工程図 (断面) を示す。

【図 2】本発明による半導体装置の作製工程図 (断面) を示す。

【図 3】本発明による半導体装置の作製工程図 (断面) を示す。

【図 4】従来例による半導体装置の構造例を示す。

【図 5】従来例による半導体装置の構造例を示す。

【図 6】従来例による半導体装置の構造例を示す。

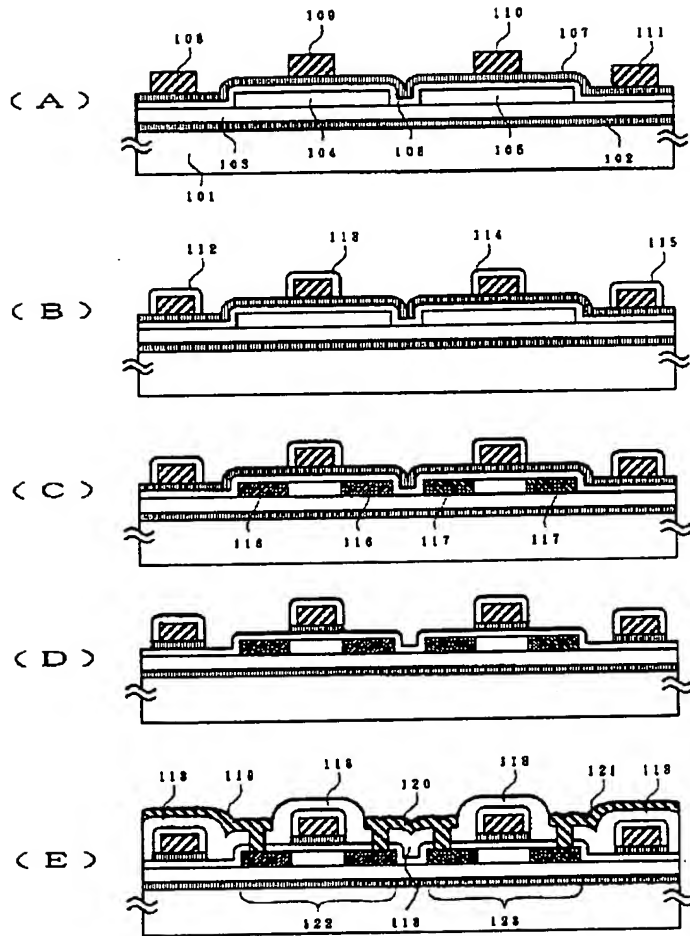
【符号の説明】

101	絶縁基板
102	ブロッキング層 (窒化珪素)
103	ブロッキング層 (酸化珪素)
104	半導体領域 (N チャネル TFT 用)
105	半導体領域 (P チャネル TFT 用)

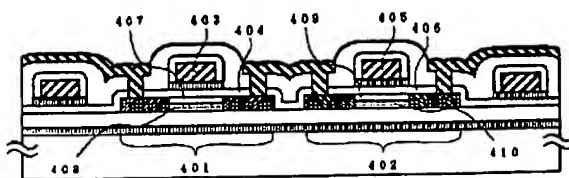
9	
用)	
106	ゲイト絶縁膜
107	窒化珪素膜
108~111	ゲイト電極・配線 (アルミニウ
△)	
112~115	陽極酸化物層

10	
116	N型不純物領域
117	P型不純物領域
118	層間絶縁物
119~121	第2層金属配線
122	NTFT
123	PTFT

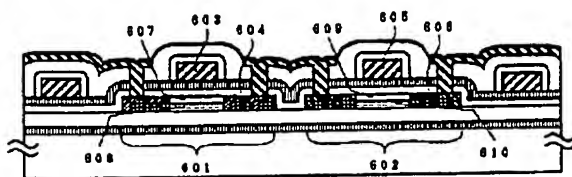
【図1】



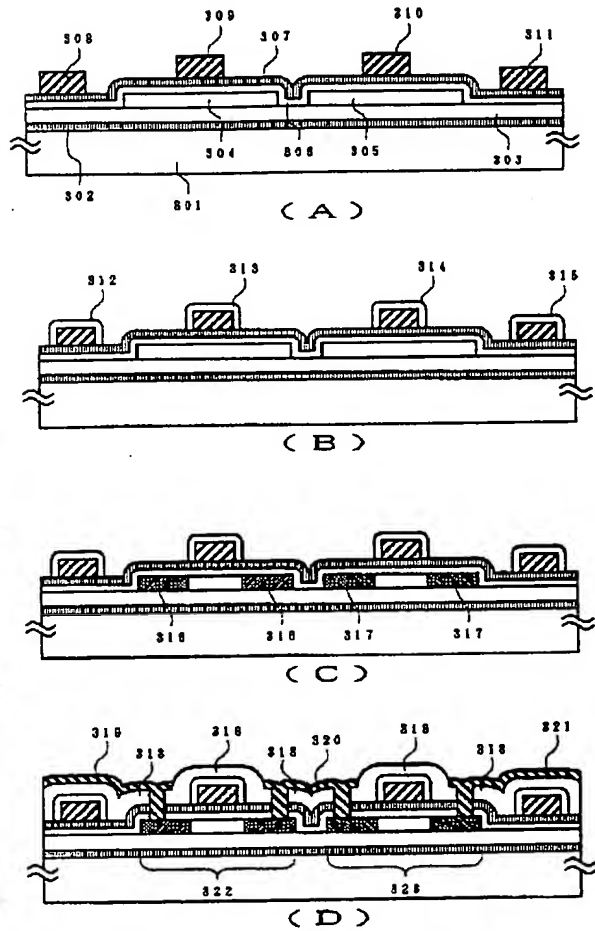
【図4】



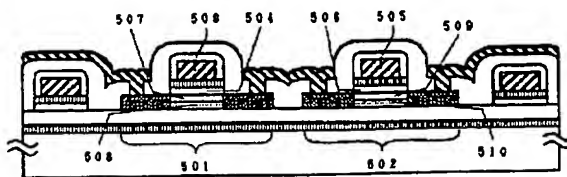
【図6】



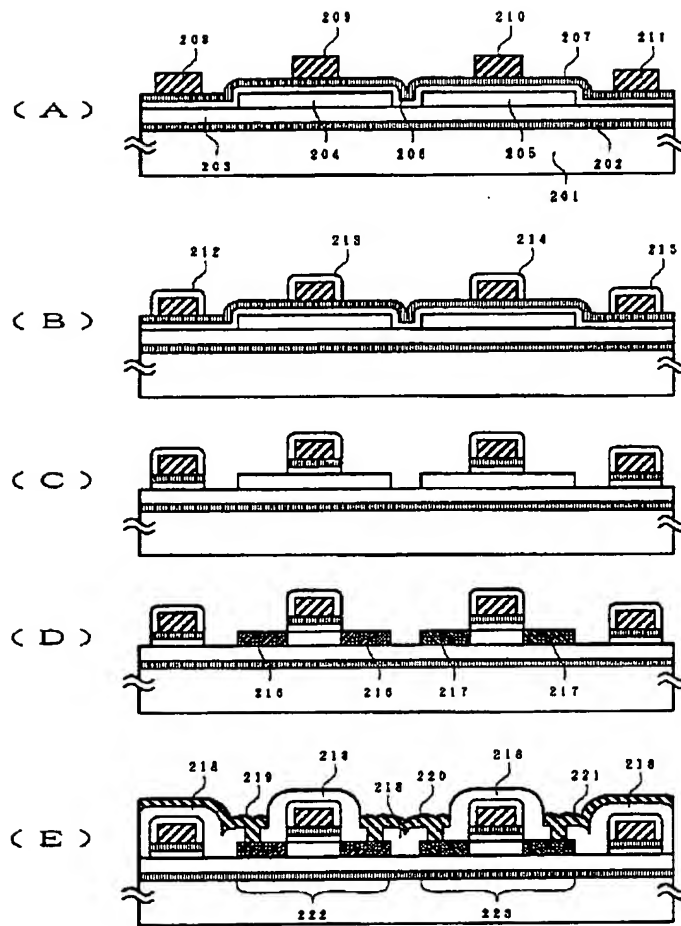
【図3】



【図5】



【図2】



DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04369710     \*\*Image available\*\*

INSULATED GATE TYPE SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

PUB. NO.:     06-013610 [JP 6013610 A]

PUBLISHED:     January 21, 1994 (19940121)

INVENTOR(s):     CHIYOU KOUYUU

                 YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:     05-103515 [JP 93103515]

FILED:             April 05, 1993 (19930405)

INTL CLASS:     [5] H01L-029/784

JAPIO CLASS:     42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL:     Section: E, Section No. 1538, Vol. 18, No. 213, Pg. 55, April 15, 1994 (19940415)

**ABSTRACT**

**PURPOSE:** To prevent the migration of movable ions into a gate electrode and the chanme region by forming a nitride silicon film between the gate electrode and the channel region.

**CONSTITUTION:** A nitride silicon film 102 is formed on a substrate 101 on N-O glass by a plasma CVD method, and further a silicon oxide film 103 for a substrate is formed by sputtering, and an amorphous silicon coating is formed thereon and annealed in an atmosphere of nitrogen and crystallized. And then a patterning is performed to form an island-like semiconductor region 104 (for N channel TFT use) and 105 (for P channel TFT use). Further, an oxide silicon is sputtered in an atmosphere of oxygen to accumulate a gate oxide film 106 and then to accumulate a nitride silicon film 107. And then an aluminum coating is formed and a gate electrode wirings 108 to 111 are formed by patterning. A nitride silicon coating has a blocking effect on movable ions of sodium and the like, so that the migration of the movable ions into a gate electrode and a channel region may be prevented.



DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

009788556      \*\*Image available\*\*

WPI Acc No: 1994-068409/199409

Related WPI Acc No: 1992-286104; 1993-186082; 1993-381162; 1994-010822;

1994-010823; 1994-016802; 1994-038407; 1994-069941; 1994-228666;

1994-297831; 1994-352611; 1994-352612; 1996-458685; 1998-185671;

1999-067035; 1999-112307; 1999-127636; 1999-410731; 2000-132661;

2000-187992; 2000-275998

XRAM Acc No: C94-030576

XRPX Acc No: N94-053362

Thin film insulated gate field effect transistor - has portion of gate electrode coated with metal material such as chrome, and removed with anodic oxide

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: TAKAMURA Y; YAMAZAKI S; ZHANG H

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6013610	A	19940121	JP 93103515	A	19930405	199409 B

Priority Applications (No Type Date): JP 92113027 A 19920406

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6013610	A		7 H01L-029/784	

Abstract (Basic): JP 6013610 A

The insulated gate thin film transistor comprises a semiconductor layer formed on an insulating surface having source, drain and channel regions in it. A first insulating layer is provided on the semiconductor layer. A second insulating layer is located over the channel region with the first insulating layer between them, the second insulating layer having opposed side edges. A gate electrode is located over the channel region with the first insulating layer and the second insulating layer interposed between them. An anodic oxide coating covers a surface of the gate electrode, the oxide coating being formed by anodic oxidizing a surface of the gate electrode.

The first insulating layer extends beyond the side edges of the second insulating layer to cover a major surface of the source and drain regions. The side edges of the second insulating layer are approximately coextensive with edges of the anodic oxide coating. The insulating layers comprise aluminium oxide, silicon nitride, silicon oxide or phospho-silicate glass.

USE/ADVANTAGE - E.g. for liquid crystal display. Over-etching is suppressed to prevent diffusion of foreign elements from substrate.

Improved flatness.

Title Terms: THIN; FILM; INSULATE; GATE; FIELD; EFFECT; TRANSISTOR; PORTION ; GATE; ELECTRODE; COATING; METAL; MATERIAL; CHROME; REMOVE; ANODE; OXIDE

Derwent Class: L03; P81; U12

International Patent Class (Main): H01L-029/784

File Segment: CPI; EPI; EngPI